

日本国特許庁  
JAPAN PATENT OFFICE

#2  
87/6/03  
J1000 U.S. PTO  
10/058789  
01/30/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 5月 2日

出願番号

Application Number:

特願2001-135503

出願人

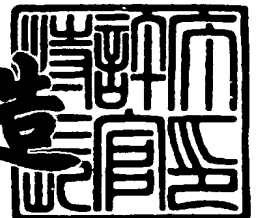
Applicant(s):

富士通株式会社

2001年11月16日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3100276

【書類名】 特許願

【整理番号】 0140261

【提出日】 平成13年 5月 2日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04N 5/335

【発明の名称】 CMOS センサ回路

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 國分 政利

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山本 克義

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 土屋 主税

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100070150

    【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

    【弁理士】

    【氏名又は名称】 伊東 忠彦

    【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プールの可否】 要

【書類名】 明細書

【発明の名称】 CMOS センサ回路

【特許請求の範囲】

【請求項1】 フォトダイオードと、該フォトダイオードを初期電圧にリセットするリセットトランジスタとを少なくとも備えたCMOSセンサ回路において、

前記リセットトランジスタのゲート電位を、電源電位以外の電位に制御する電圧制御回路を設けたことを特徴とするCMOSセンサ回路。

【請求項2】 フォトダイオードと、該フォトダイオードを初期電圧にリセットするリセットトランジスタとを少なくとも備えたCMOSセンサ回路において、

前記リセットトランジスタのゲート電位が完全にOFFとならないように制御する電圧制御回路を設けたことを特徴とするCMOSセンサ回路。

【請求項3】 請求項1又は2記載のCMOSセンサ回路において、

前記電圧制御回路は、第1のPチャネルMOSトランジスタと、NチャネルMOSトランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記第1のPチャネルMOSトランジスタのドレインと、前記NチャネルMOSトランジスタのドレインとの間に、ブルーミング制御用トランジスタを挿入したことを特徴とするCMOSセンサ回路。

【請求項4】 請求項1又は2記載のCMOSセンサ回路において、

前記電圧制御回路は、第1のPチャネルMOSトランジスタと、NチャネルMOSトランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記第1のNチャネルMOSトランジスタのドレインに接続されるブルーミング制御用トランジスタを設けたことを特徴とするCMOSセンサ回路。

【請求項5】 請求項3又は4記載のCMOSセンサ回路において、

前記ブルーミング制御用トランジスタを複数段縦積みしたことを特徴とするCMOSセンサ回路。

【請求項 6】 請求項 3 又は 5 記載の CMOS センサ回路において、

前記ブルーミング制御用トランジスタは、PチャネルMOSトランジスタ又はNチャネルMOSトランジスタであることを特徴とするCMOSセンサ回路。

【請求項 7】 請求項 3 乃至 5 のいずれかに記載の CMOS センサ回路において、

前記ブルーミング制御用トランジスタは、ゲートとドレインが接続されたPチャネルMOSトランジスタ又はNチャネルMOSトランジスタであることを特徴とするCMOSセンサ回路。

【請求項 8】 請求項 1 又は 2 記載の CMOS センサ回路において、

前記電圧制御回路は、第 1 の PチャネルMOSトランジスタと、NチャネルMOSトランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記第 1 の PチャネルMOSトランジスタのドレインと、前記NチャネルMOSトランジスタのドレインとの間に、抵抗素子又はダイオード素子のいずれかを挿入したことを特徴とするCMOSセンサ回路。

【請求項 9】 請求項 1 又は 2 記載の CMOS センサ回路において、

前記電圧制御回路は、第 1 の PチャネルMOSトランジスタと、NチャネルMOSトランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記NチャネルMOSトランジスタのドレインに接続される抵抗素子又はダイオード素子のいずれかを設けたことを特徴とするCMOSセンサ回路。

【請求項 10】 請求項 1 乃至 9 のいずれかに記載の CMOS センサ回路において、

前記第 1 の PチャネルMOSトランジスタのゲートに信号を入力する第 1 の入力手段と、前記NチャネルMOSトランジスタのゲートに信号を入力する第 2 の入力手段とを設けたことを特徴とするCMOSセンサ回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、CMOSイメージセンサのブルーミングを抑制するCMOSセンサ回路に関する。

【0002】

【従来の技術】

イメージセンサは、テレビカメラ等において、外部から取り込まれた光学的画像情報を電気信号に変換するためのセンサとして用いられるものであって、多数のピクセルをマトリクス状に配置した構成を有する。MOS型イメージセンサは、フォトダイオードやMOS型FETによって構成したピクセル回路からなるものであって、従来多く用いられていたCCD型イメージセンサとして、低消費電力、低コスト等の特徴を有するものである。

【0003】

図18は、従来例1のCMOSセンサ回路の構成図を示している。100はCMOSインバータの基本回路を示している。110は画素部であり、単位のピクセル回路の構成を示している。CMOSインバータ100は、PMOSトランジスタM4、NMOSトランジスタM6から構成されており、 $V_{rs}$ は制御電圧を示している。リセット信号RSTはCMOSインバータの出力であり、リセットトランジスタM1に信号を供給する。リセット制御信号 $V_{rs}$ がハイレベル(H)のとき、PMOSトランジスタM4はON状態、NMOSトランジスタM6はOFF状態になって、リセット信号はローレベル(L)になる。一方、リセット制御信号 $V_{rs}$ がローレベル(L)のときには、NMOSトランジスタM6はOFF状態、PMOSトランジスタM4はON状態になって、リセット信号はハイレベル(H)になる。

【0004】

次に、ピクセル回路110は、リセットトランジスタM1と、ソースホロアトランジスタM2と、セレクトトランジスタM3と、フォトダイオードPDと、電流源15とから構成されている。そして、リセットトランジスタM1のドレインとソースホロアトランジスタM2のドレインがリセット電圧 $V_R$ 端子に接続され、リセットトランジスタM1のソースとソースホロアトランジスタM2のゲートは共にフォトダイオードPDのカソードに接続され、フォトダイオードPDのア

ノードはGNDに接続され、ソースホロアトランジスタM2のソースは、セレクトトランジスタM3のドレインに接続されている。

## 【0005】

また、リセットトランジスタM1は、リセット信号RSTがハイレベルになったとき、リセット電圧VRをフォトダイオードPDに供給することによって、フォトダイオードPDを初期電圧にリセットする作用を行なう。ソースホロアトランジスタM2は、定電流源15とともにソースホロア回路を形成して、フォトダイオードPDのカソード電圧を増幅する作用を行なう。セレクトトランジスタM3は、セレクト制御信号SLCTがハイレベルになったときにONして、ソースホロアトランジスタM2を定電流源15に接続し、ソースホロアトランジスタM2の出力電圧を選択切換する。

## 【0006】

次に、この従来のCMOSセンサ回路の動作について説明する。CMOSインバータ100にローレベルのリセット制御信号Vrsが入力されると、NMOSトランジスタM6がOFF状態、PMOSトランジスタM4はON状態となり、リセット信号RSTはハイレベルになる。すなわち、リセットトランジスタM1のゲートにハイレベルの信号が入力されると、リセットトランジスタM1がON状態となる。それによって、フォトダイオードPDのカソードはリセット電圧VRに接続され、接続点の電位vpdはリセット電圧VRに等しくなり、フォトダイオードPDに電荷が溜まって、画素部110はリセットされた状態となる。そして、リセット信号RSTがローレベルになると、すなわちNMOSトランジスタM1のゲート電位がローレベルになると、NMOSトランジスタM1はOFF状態となり、フォトダイオードPDはリセット電位VRから切り離される。

## 【0007】

この状態でフォトダイオードPDに光が入力されると、入力光レベルに応じてフォトダイオードPDに生じた光電変換電圧をソースホロアを形成するソースホロアトランジスタM2によって増幅する。そして、任意のタイミングでセレクト制御信号SLCTをセレクトトランジスタM3に入力して、ソースホロアフォトトランジスタM2によって増幅された信号を出力(OUT)する。

## 【0008】

しかしながら、この従来例においては、フォトダイオードPDに強い光が入力され、フォトダイオードPDの電圧が過度に低下すると（図18（b）斜線部）、このフォトダイオードPDから電子があふれてしまい、このあふれた電子は基板を通過して画素部1の周辺の画素部（図示せず）に順次流れ込んで周辺のフォトダイオードに影響を及ぼしてしまうというブルーミング現象が問題となる。

## 【0009】

次に、図19は従来例2のCMOSセンサ回路の構成図を示している。この画素部120は、図19（a）で示した画素部110と基本的には同じであるが、上述したブルーミングを制御するために、トランジスタM4を設けている点が異なる。このトランジスタM4を設けることで、NチャネルMOSトランジスタM4のゲート電位に任意のバイアス電圧VBを印加してトランジスタM4をON状態にすることにより、フォトダイオードPDで溢れた電荷を、リセット電圧VR端子に逃がすことによりブルーミングを制御している（図19（b））。

## 【0010】

## 【発明が解決しようとする課題】

しかしながら、この従来例2の方法では各画素内の素子数が増えることから、1画素当りの面積が大きくなってしまったため、何万もの画素を配列すると全画素面積が増加しチップサイズが増大して、結果的にコストアップになってしまう問題があった。また、全画素面積の増加を抑えるために、フォトダイオードの面積を小さくすることで、従来例2のように、1つのトランジスタを入れる方法もあるが、この場合、フォトダイオードが小さくなることにより感度の低下や、ノイズの影響を受け易くなってしまい、結果的に画質が悪化してしまうという問題もあった。

## 【0011】

従って、本発明は上記従来技術の問題点を解決し、画素部の素子数を増やすことなく、ブルーミングを抑制することが可能なCMOSセンサ回路を提供することを目的とする。

## 【0012】



## 【課題を解決するための手段】

本発明は、フォトダイオードと、該フォトダイオードを初期電圧にリセットするリセットトランジスタとを少なくとも備えたCMOSセンサ回路において、前記リセットトランジスタのゲート電位を、電源電位以外の電位に制御する電圧制御回路を設けたことを特徴とするCMOSセンサ回路である。

## 【0013】

これにより、リセットトランジスタは完全にOFFすることがないので、フォトダイオード部に強い光が入った場合に溢れた電荷を、リセットトランジスタを通してリセット電源に逃がしてやることができ、ブルーミングを抑制することができる。

## 【0014】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

## 【0015】

図1は、CMOSセンサの全体構成図を示している。図1において、4×4画素の画素部30、それぞれのX方向、Y方向の各画素を指定するために、垂直シフトレジスタ／リセット制御回路40、水平シフトレジスタ50が設けられている。なお、図1においては、4×4個の単位セル（ピクセル回路）が配列されている様子を示しているが、実際にはこれより多くの単位セルが配列されている。

## 【0016】

図2（a）に示すように、単位セルを構成するピクセル回路1は、リセットトランジスタM1と、ソースホロアトランジスタM2と、セレクトトランジスタM3と、フォトダイオードPDとを有する。垂直走査シフトレジスタ／リセット制御回路40から水平方向に配線されているセレクト制御線SELECTは、セレクトトランジスタM3のゲートに接続されている。同様に、垂直走査シフトレジスタ／リセット制御回路40から水平方向に配線されているリセット信号RSTは、リセットトランジスタM1のゲートに接続されている。リセット電圧VRは、ソースホロアトランジスタM2のドレインに接続されている。セレクトトランジスタM3のソース又はドレインは、列方向に配置された垂直信号線60に接続され

、その一端はアンプ／ノイズキャンセル回路70に接続されている。そして、このアンプ／ノイズキャンセル回路70は、水平走査シフトレジスタ50から供給される選択パルスにより駆動される水平選択トランジスタ80を介して水平信号線90に接続され、出力アンプ100を介して出力される。

## 【0017】

図2(a)に示す電圧制御回路2は、図1に示す垂直走査シフトレジスタ／リセット制御回路40に設けられ、かつ各ライン毎に設けられている。電圧制御回路2は、図2(b)に示すように、外部からリセット制御信号 $V_{rs}$ を受けてリセット信号 $RST$ を生成するとともに、リセット信号 $RST$ をリセットトランジスタ $M1$ のゲート印加してフォトダイオード $PD$ を初期電圧（リセット電圧 $V_R$ ）にリセットした後は、リセットトランジスタ $M1$ のゲート電位を電源電位以外の任意の電位 $V_{cont}$ に制御する。つまり、電圧制御回路2はリセット電圧印加後、リセットトランジスタ $M1$ のゲートにある一定のバイアス電圧 $V_{cont}$ を与えて、リセットトランジスタ $M1$ を完全にOFFさせない（多少の電流を流すことができる状態）ようにするために設けられている。換言すれば、電圧制御回路2はリセットトランジスタ $M1$ のゲート電位を $V_{cont}$ にクランプする。

## 【0018】

ここで、電源電位 $V_{cont}$ とは、リセット信号 $RST$ を構成する高電位側電源電位 $V_{DD}$ と、グランド電位に相当する低電位側電源電圧 $V_{SS}$ 以外の電位である。

## 【0019】

図2(b)に示すように、電圧制御回路2は電源電位 $V_{DD}$ にあるリセット信号 $RST$ をリセットトランジスタ $M1$ に印加することで、フォトダイオード $PD$ のカソード電位 $v_{pd}$ はリセット電圧 $V_R$ に等しくなる。その後、電圧制御回路2はリセット信号 $RST$ をオフし、所定電位 $V_{cont}$ を出力する。これにより、リセットトランジスタ $M1$ は完全にオフしない。フォトダイオード $PD$ は光の強さに応じて電荷を蓄積し始め、カソード電位 $v_{pd}$ は次第に下がって行く。そして、カソード電位 $v_{pd}$ がリセットトランジスタ $M1$ のゲート電位 $V_{cont}$ よりもリセットトランジスタ $M1$ のしきい値電圧 $V_{th}$ 分 $v_{pd}$ だけ下がると、

リセットトランジスタM1は不完全なオフ状態からON状態となる。よって、この時点からフォトダイオードPDで発生する電荷を、リセットトランジスタM1を通してリセット電源VRに逃がすことができる。つまり、同一積分時間内で任意の画素に強い光が入った場合でも、この効果により余剰電荷はリセット電源VR端子に吸い取られ、この強い光の入った画素周辺に与える影響が減少させることができる。これにより、新たなトランジスタを追加することなく、画素単位の面積をそのままにして、ブルーミングを抑制することが可能となる。

#### 【0020】

図2に示す構成では、リセット信号RSTを1ショットパルスで形成するものであるが、以下に説明するように、リセット信号RSTを2つ又はそれ以上の連続するパルスで形成して積分動作をより確実にすることもできる。以下、この構成を図3及び図4を参照して説明する。

#### 【0021】

図3(a)は、図1に示す垂直走査シフトレジスタ／リセット制御回路40の一構成例を示すブロック図である。図3(a)に示す垂直走査シフトレジスタ／リセット制御回路40は4×4構成に対応するもので、従属接続されたフリップフロップFF1、FF2、FF3、FF4(4×4構成の場合)と、制御信号A、B、Cを通す信号線に接続された論理回路LGC1、LGC2、LGC3、LGC4(図面を簡略化するために、図示を省略してある)とを有する。初段のフリップフロップFF1は、外部から制御信号CNTL1を受取る。各論理回路は、対応するフリップフロップの出力Qと制御信号A、B、Cとを入力し、セレクト信号SLCT信号とリセット制御信号Vrsとを出力する。各論理回路は、図1の画素部30の各ラインに対応する。例えば、論理回路LGC1は第1ラインに対応し、セレクト信号SLCT信号を出力する信号線がセレクトゲート1であり、リセット制御信号Vrsを出力する信号線がリセットゲート1である。

#### 【0022】

各論理回路は、図3(b)に示すNORゲートG1、NANDゲートG2及びインバータG3からなる回路を2つ具備する。1つはセレクト信号SLCTを生成する回路で、もう1つはリセット制御信号Vrsを生成する回路である。セレ

クト信号 S L C T を生成する回路における N O R ゲート G 1 は信号 A と C を入力し、リセット制御信号 V r s を生成する回路は信号 A と B を入力する。どちらの回路でもゲート G 2 は、ゲート G 1 の出力と対応するフリップフロップの出力（論理回路 L G C 1 ならばフリップフロップ F F 1 の出力 Q 1）とを入力する。N A N D ゲート G 2 の出力はインバータ G 3 を介してセレクト信号 S L C T 又はリセット制御信号 V r s となる。

## 【0023】

図4は、図3の構成の動作を示す図である。外部からの制御信号 C N T L 1 を受けて、フリップフロップ F F 1 ～ F F 3 （F F 4 は省略）の出力 Q 1 ～ Q 3 は図示の通り変化する。また、外部からの信号 A ～ C は図4に示すとおり変化する。そして、論理回路 L G C 1 ～ L G C 3 は図示の通りセレクト信号 S L C T とリセット制御信号 V r s を出力する。図4に示すように、リセット制御信号 V r s は信号 A と B の間隔に相当する時間だけ離間した2つのパルスからなる。この2つのパルスは、図2に示す電圧制御回路2に与えられる。この時間が積分時間となり、フォトダイオード P D を効率的かつ確実にリセットすることができる。

## 【0024】

なお、図4には、図1に示す水平走査シフトレジスタ50の走査パルスが図示してある。水平走査シフトレジスタ50は、外部からの制御信号 C N T L 2 （図17を参照して後述する）を受けて図示する走査パルスを生成する。

## 【0025】

次に、電圧制御回路2の構成例について説明する。

## 【0026】

図5は、電圧制御回路2の構成例1を説明するための図である。図5において、参照番号3は横1ライン分のリセットトランジスタ M 1 を示している。この構成例においては、電圧制御回路2を P チャネル M O S トランジスタ M 4 と、N チャネル M O S トランジスタ M 6 からなる C M O S インバータで構成している。V r s は入力、R S T は出力、V D D 、V S S は電源を示している。そして、P チャネル M O S トランジスタ M 4 のドレインと、N チャネル M O S トランジスタ M 6 のドレインとの間に、ブルーミング制御用のトランジスタとして N チャネル M

OSトランジスタM5を挿入したことを特徴としている。

【0027】

次に、図5で示されたCMOSセンサ回路の動作について説明する。

【0028】

リセット制御信号VrsがローレベルからハイレベルになるとPチャネルMOSトランジスタM4はOFFになり、NチャネルMOSトランジスタM6はONとなる。そして、リセット信号RSTノードは、NチャネルMOSトランジスタM5のVth（トランジスタM5の閾値電圧）付近の電位となり、これをリセットトランジスタM1のゲートに印加する。この時、リセットトランジスタM1がON状態となるので、フォトダイオードPD部でそれ以上発生した電荷はリセットトランジスタM1を通して余剰電荷をリセット電源VR端子へ逃がすことができ、ブルーミングを制御することができる。

【0029】

図6は、図2で示した電圧制御回路2の構成例2を説明するための図であり、図5と同一の構成については説明を省略する。この構成例においては、図5で示したリセット制御信号VrsをPチャネルMOSトランジスタM4とNチャネルMOSトランジスタM6とでそれぞれ分けて回路構成したことを特徴としている。図6に示すように、リセット制御信号Vrs1はPチャネルMOSトランジスタM4のゲートに入力され、リセット制御信号Vrs2はNチャネルMOSトランジスタM6のゲートに入力されている。

【0030】

PチャネルMOSトランジスタM4とNチャネルMOSトランジスタM6の入力を別々に設けることで、それぞれの入力タイミングで両方のトランジスタがON、ONの状態を作ることができ、立ち下がリスピードを上げる工夫をしている。

【0031】

次に、図6で示されたCMOSセンサ回路の動作について説明する。

【0032】

リセット制御信号Vrs1がハイレベルからローレベルになるとPチャネルM

OSトランジスタM4はON状態になり、リセット制御信号 $V_{rs2}$ がローレベルからハイレベルになるとNチャネルMOSトランジスタM6はONとなる。これにより、トランジスタM4、M5のゲート電位をすばやく固定することができる。そして、リセット信号RSTノードは、クランドグランドレベルから電源電位 $V_{DD}+V_{th}$ （トランジスタM5の閾値電圧）の電位となり、これをリセットトランジスタM1のゲートに印加する。この時、リセットトランジスタM1がON状態となるので、フォトダイオードPD部でそれ以上発生した電荷はリセットトランジスタM1を通して余剰電荷をリセット電源VR端子へ逃がすことができ、ブルーミングを制御することができる。

## 【0033】

図7は、図2で示した電圧制御回路2の構成例3を説明するための図である。この構成例においては、リセット制御信号 $V_{rs1}$ はNチャネルMOSトランジスタのゲート入力を基準に遅延回路（ディレイ回路）4を設けた回路構成にしたことを特徴としている。リセット制御信号 $V_{rs2}$ を基準として、リセット制御信号 $V_{rs2}$ の入力を遅延回路4を介して遅らせることにより、PチャネルMOSトランジスタとNチャネルMOSトランジスタとをON、ON状態にすることができる。なお、ブルーミングの抑制原理は図5で説明したのと同様であるので、ここでは説明を省略する。

## 【0034】

図8は、図2で示した電圧制御回路2の構成例4を説明するための図であり、図7で示した遅延回路の構成例を具体的に示している。この構成例においては、図7で示した遅延回路4を偶数段のインバータ5、6を直列に接続して構成したことを特徴としている。

## 【0035】

図9は、図2で示した電圧制御回路2の構成例5を説明するための図である。

この構成例においては、図5で説明したブルーミング制御用のトランジスタをPチャネルMOSトランジスタM5で構成したことを特徴としている。

## 【0036】

図10は、図2で示した電圧制御回路2の構成例6を説明するための図である

。この構成例においては、図 5 において、電圧制御回路 2 の出力ノードである RST ノードに定電流源 15 を加えた回路構成としたことを特徴としている。この定電流源 15 で N チャネル MOS トランジスタ M5 と N チャネル MOS トランジスタ M6 をバイアスすることで、固定され、より安定した電位を RST ノードに印加することが可能となる。

## 【 0 0 3 7 】

図 11 は、図 2 で示した電圧制御回路 2 の構成例 7 を説明するための図である。この構成例においては、図 10 で示した定電流源回路 15 を P チャネル MOS トランジスタ M7 のゲート電圧にバイアス電圧 VB を印加する構成としたことを特徴としている。この定電流源 15 で N チャネル MOS トランジスタ M5 と N チャネル MOS トランジスタ M6 をバイアスすることで、安定した電位を RST ノードに印加することが可能となる。

## 【 0 0 3 8 】

図 12 は、図 2 で示した電圧制御回路 2 の構成例 8 を説明するための図である。この構成例においては、図 11 で示した N チャネル MOS トランジスタ M5 を抵抗素子 R1 で構成したことを特徴としている。この場合も電圧降下により安定した電位を RST ノードに印加することが可能となる。

## 【 0 0 3 9 】

図 13 は、図 2 で示した電圧制御回路 2 の構成例 9 を説明するための図である。この構成例においては、図 11 で示した N チャネル MOS トランジスタ M5 をダイオード素子 D1 で構成したことを特徴としている。この場合も安定した電位を RST ノードに印加することが可能となる。

## 【 0 0 4 0 】

図 14 は、図 2 で示した電圧制御回路 2 の構成例 10 を説明するための図である。この構成例においては、N チャネル MOS トランジスタ M5 のゲート電位に任意のバイアス電圧 VB2 を印加する構成としている。なお、バイアス電圧 VB2 は固定電圧としている。この場合、N チャネル MOS トランジスタ M5 のバイアス電圧 VB2 を印加することにより、電位を別の電位に固定することができ、安定した電位を RST ノードに印加することが可能となり、バイアス電圧 VB2

を可変することでリセット信号 R S T の電位を任意に変更することが可能となる。

#### 【 0 0 4 1 】

図 1 5 は、図 2 で示した電圧制御回路 2 の構成例 1 1 を説明するための図である。この構成例においては、NチャネルMOSトランジスタM5とNチャネルMOSトランジスタM6との上下を入れ替えた構成としている。すなわち、NチャネルMOSトランジスタM6のドレイン側にブルーミング制御用のNチャネルMOSトランジスタM5のソースを接続したことを特徴としている。また、この場合、NチャネルMOSトランジスタM5に変えて抵抗又はダイオードで構成することもできる。

#### 【 0 0 4 2 】

図 1 6 は、図 2 で示した電圧制御回路 2 の構成例 1 2 を説明するための図である。この構成例においては、図 1 5 で示したNチャネルMOSトランジスタM5を2段縦積みにして、構成している。図に示すように、ゲートとドレインが接続されたNチャネルMOSトランジスタM5aと、ゲートとドレインが接続されたチャネルMOSトランジスタM5bとを直列に接続している。なお、このトランジスタM5a、M5b段数は、図に示すように2段で構成する場合に限らず、複数段で構成することも可能である。また、トランジスタM5a、M5bに変えて、PチャネルMOSトランジスタ、抵抗素子又はダイオード素子で構成することもできる。

#### 【 0 0 4 3 】

図 1 7 は、本発明のCMOSセンサ回路を搭載したICチップの全体概略構成図を示している。図 1 7 中、前述した構成要素と同一のものには同一の参照番号を付してある。チップ200上に、図1に示す回路構成に加え、A/Dコンバータ180、及び外部接続用の端子181～186が設けられたものである。

#### 【 0 0 4 4 】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。



【 0 0 4 5 】

最後に、本発明の特徴の一部を以下にまとめる。

(付記 1) フォトダイオードと、該フォトダイオードを初期電圧にリセットするリセットトランジスタとを少なくとも備えた CMOS センサ回路において、

前記リセットトランジスタのゲート電位を、電源電位以外の電位に制御する電圧制御回路を設けたことを特徴とする CMOS センサ回路。

(付記 2) フォトダイオードと、該フォトダイオードを初期電圧にリセットするリセットトランジスタとを少なくとも備えた CMOS センサ回路において、

前記リセットトランジスタのゲート電位が完全に OFF とならないように制御する電圧制御回路を設けたことを特徴とする CMOS センサ回路。

(付記 3) 付記 1 又は 2 記載の CMOS センサ回路において、

前記電圧制御回路は、第 1 の P チャネル MOS トランジスタと、N チャネル MOS トランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記第 1 の P チャネル MOS トランジスタのドレインと、前記 N チャネル MOS トランジスタのドレインとの間に、ブルーミング制御用トランジスタを挿入したことを特徴とする CMOS センサ回路。

(付記 4) 付記 1 又は 2 記載の CMOS センサ回路において、

前記電圧制御回路は、第 1 の P チャネル MOS トランジスタと、N チャネル MOS トランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記第 1 の N チャネル MOS トランジスタのドレインに接続されるブルーミング制御用トランジスタを設けたことを特徴とする CMOS センサ回路。

(付記 5) 付記 3 又は 4 記載の CMOS センサ回路において、

前記ブルーミング制御用トランジスタを複数段縦積みしたことを特徴とする CMOS センサ回路。

(付記 6) 付記 3 又は 5 記載の CMOS センサ回路において、

前記ブルーミング制御用トランジスタは、P チャネル MOS トランジスタ又は N チャネル MOS トランジスタであることを特徴とする CMOS センサ回路。

(付記 7) 付記 3 乃至 5 のいずれかに記載の CMOS センサ回路において、

前記ブルーミング制御用トランジスタは、ゲートとドレインが接続された P チャネル MOS トランジスタ又は N チャネル MOS トランジスタであることを特徴とする CMOS センサ回路。

(付記 8) 付記 1 又は 2 記載の CMOS センサ回路において、

前記電圧制御回路は、第 1 の P チャネル MOS トランジスタと、N チャネル MOS トランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記第 1 の P チャネル MOS トランジスタのドレインと、前記 N チャネル MOS トランジスタのドレインとの間に、抵抗素子又はダイオード素子のいずれかを挿入したことを特徴とする CMOS センサ回路。

(付記 9) 付記 1 又は 2 記載の CMOS センサ回路において、

前記電圧制御回路は、第 1 の P チャネル MOS トランジスタと、N チャネル MOS トランジスタとを有する、前記リセットトランジスタのゲートを駆動するインバータ回路を備え、

前記 N チャネル MOS トランジスタのドレインに接続される抵抗素子又はダイオード素子のいずれかを設けたことを特徴とする CMOS センサ回路。

(付記 10) 付記 8 又は 9 記載の CMOS センサ回路において、

前記抵抗素子又は前記ダイオード素子を複数段縦積みしたことを特徴とする CMOS センサ回路。

(付記 11) 付記 1 乃至 10 のいずれかに記載の CMOS センサ回路において、

前記第 1 の P チャネル MOS トランジスタのゲートに信号を入力する第 1 の入力手段と、前記 N チャネル MOS トランジスタのゲートに信号を入力する第 2 の入力手段とを設けたことを特徴とする CMOS センサ回路。

(付記 12) 付記 11 記載の CMOS センサ回路において、

前記第 1 の入力手段に入力される信号は、前記第 2 の入力手段から供給され、前記第 1 の入力手段と前記第 2 の入力手段との間に設けられた遅延回路を介して入力されることを特徴とする CMOS センサ回路。

(付記 13) 付記 12 記載の CMOS センサ回路において、

前記遅延回路は、偶数段のインバータにより構成されることを特徴とするCMOSセンサ回路。

(付記14) 付記3乃至5のいずれかに記載のCMOSセンサ回路において、  
前記ブルーミング制御用トランジスタのゲートに任意のバイアス電圧を印加することを特徴とするCMOSセンサ回路。

(付記15) 付記2乃至14のいずれかに記載のCMOSセンサ回路において、  
前記リセットトランジスタのゲート入力は、前記電圧制御回路の出力ノードに定電流源を付加したことを特徴とするCMOSセンサ回路。

(付記16) 付記15記載のCMOSセンサ回路において、  
前記定電流源は、ゲート電圧にバイアス電圧が印加される第2のPチャネルMOSトランジスタで構成したことを特徴とするCMOSセンサ回路。

【0046】

【発明の効果】

以上説明したように、本発明によれば、画素部の素子数を増やすことなしに、ブルーミングを抑制することが可能である。

【図面の簡単な説明】

【図1】

CMOSセンサの全体構成図を示した図である。

【図2】

本発明に係るCMOSセンサ回路における単位ピクセルの構成図を示した図である。

【図3】

垂直走査シフトレジスタ／リセット制御回路のブロック図である。

【図4】

MOSセンサのタイミングチャートを示した図である。

【図5】

本発明に係るCMOSセンサ回路の構成例1を説明するための図である。

【図6】

本発明に係るCMOSセンサ回路の構成例2を説明するための図である。

【図 7】

本発明に係るCMOSセンサ回路の構成例 3 を説明するための図である。

【図 8】

本発明に係るCMOSセンサ回路の構成例 4 を説明するための図である。

【図 9】

本発明に係るCMOSセンサ回路の構成例 5 を説明するための図である。

【図 1 0】

本発明に係るCMOSセンサ回路の構成例 6 を説明するための図である。

【図 1 1】

本発明に係るCMOSセンサ回路の構成例 7 を説明するための図である。

【図 1 2】

本発明に係るCMOSセンサ回路の構成例 8 を説明するための図である。

【図 1 3】

本発明に係るCMOSセンサ回路の構成例 9 を説明するための図である。

【図 1 4】

本発明に係るCMOSセンサ回路の構成例 1 0 を説明するための図である。

【図 1 5】

本発明に係るCMOSセンサ回路の構成例 1 1 を説明するための図である

【図 1 6】

本発明に係るCMOSセンサ回路の構成例 1 2 を説明するための図である。

【図 1 7】

本発明のCMOSセンサ回路を搭載したICチップの全体概略構成図を示している。

【図 1 8】

従来のCMOSセンサ回路の構成例 1 を示した図である。

【図 1 9】

従来のCMOSセンサ回路の構成例 2 を示した図である。

【符号の説明】

1    1 画素

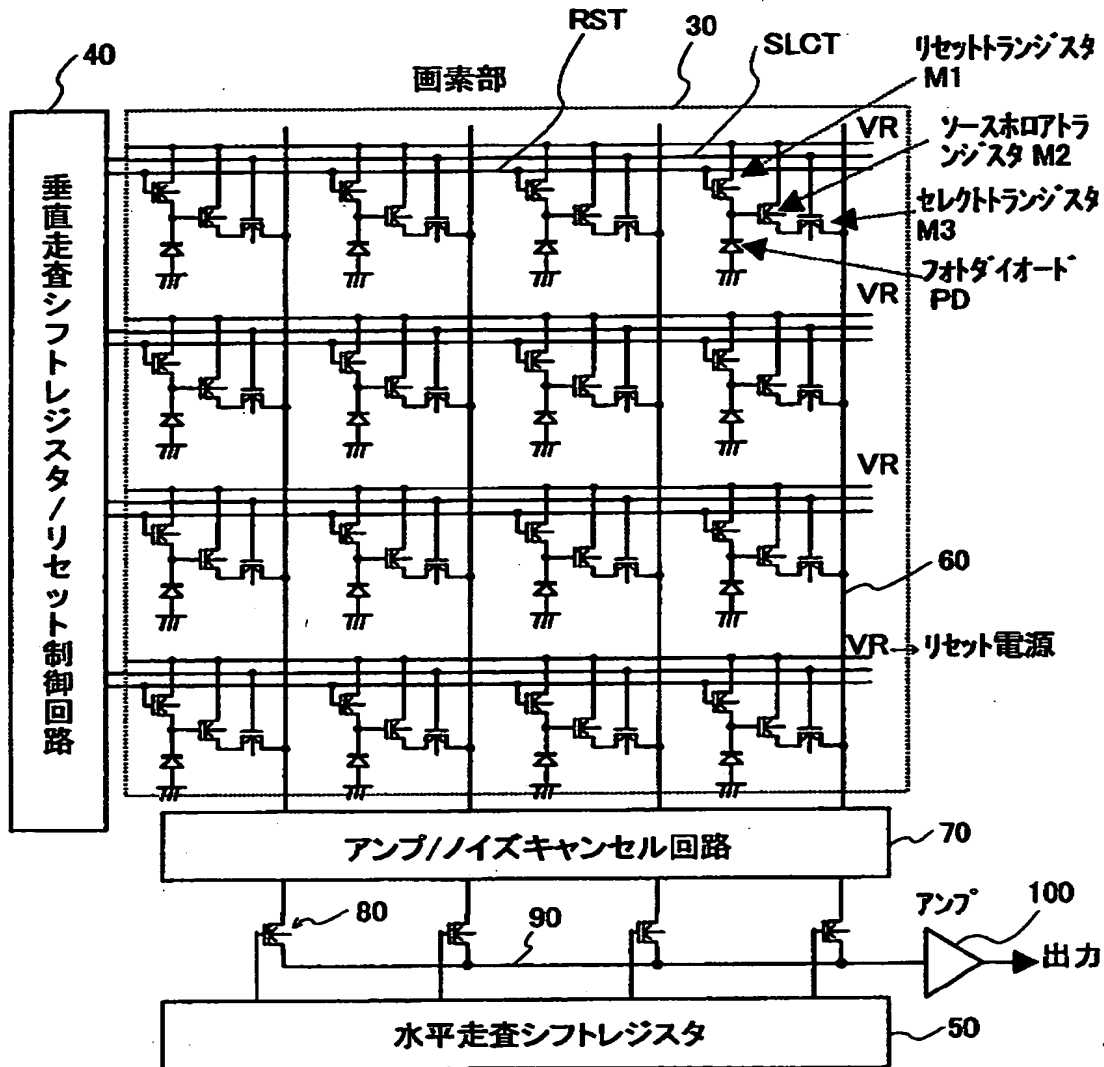
- 2 電圧制御回路
- 4 デイレイ回路
- 5, 6 インバータ
- 15 定電流源
- 30 画素部
- 40 垂直走査シフトレジスタ／リセット制御回路
- M1 リセットトランジスタ
- M2 ソースホロアトランジスタ
- M3 セレクトトランジスタ
- M4 PチャネルMOSトランジスタ
- M5 ブルーミング用トランジスタ
- M6 NチャネルMOSトランジスタ

【書類名】

図面

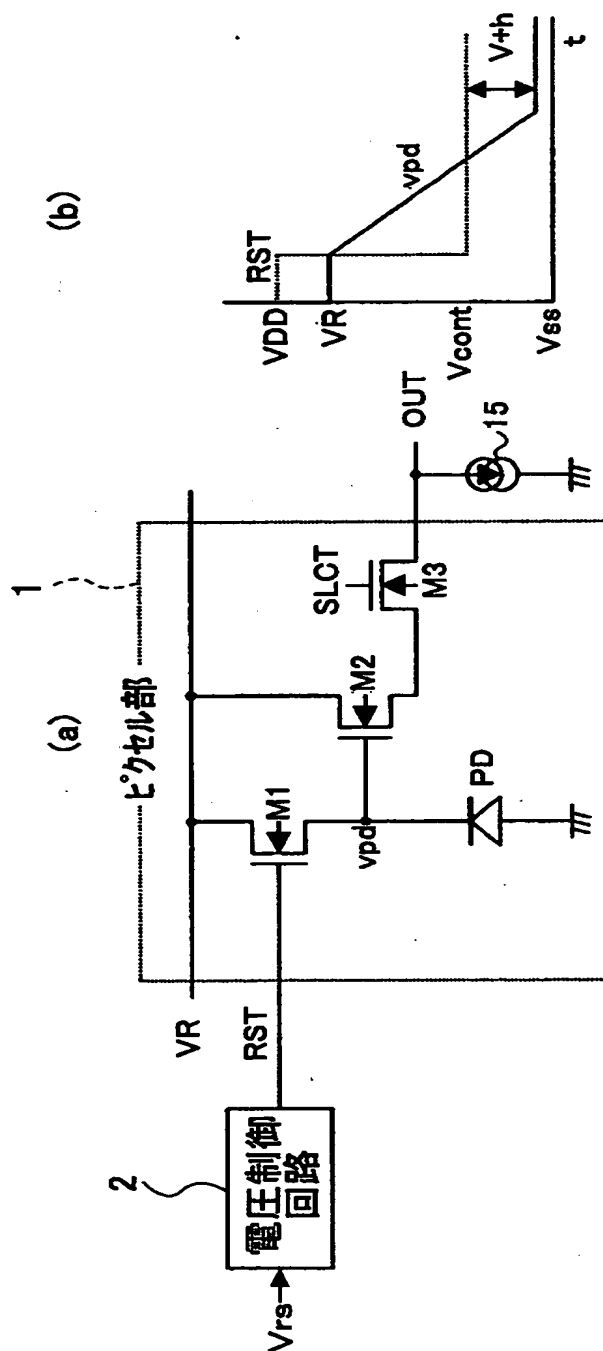
【図1】

CMOSセンサの全体構成図を示した図



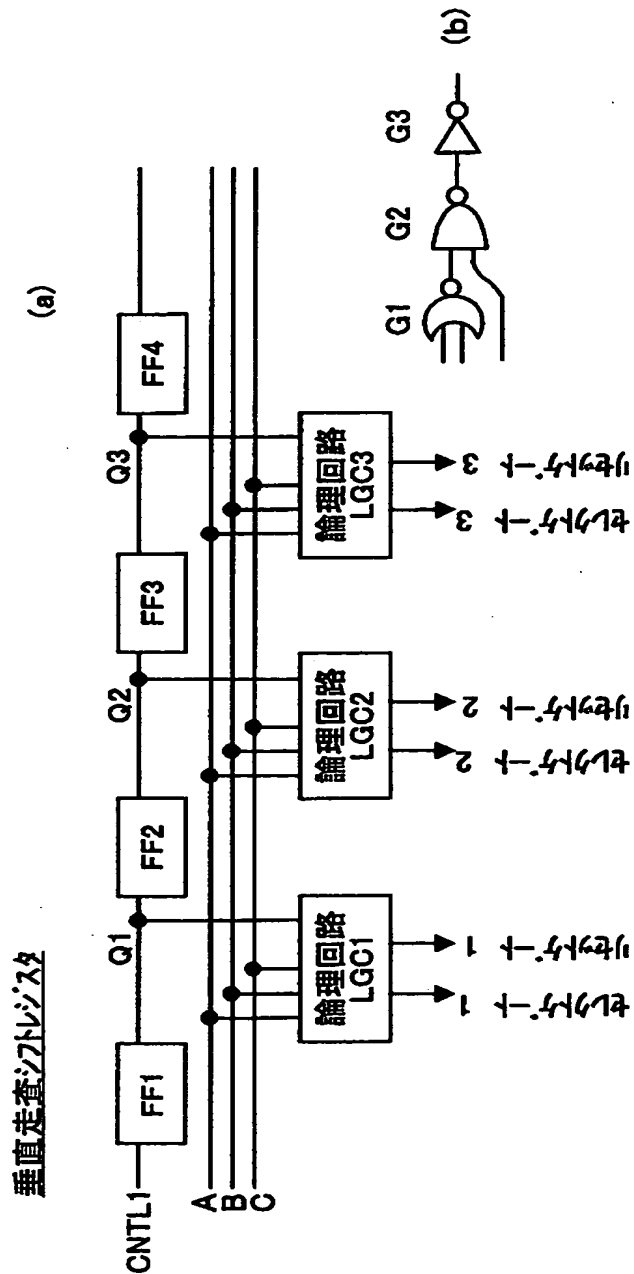
【図 2】

本発明に係るCMOSセンサ回路における単位ピクセルの構成図を示した図



【図3】

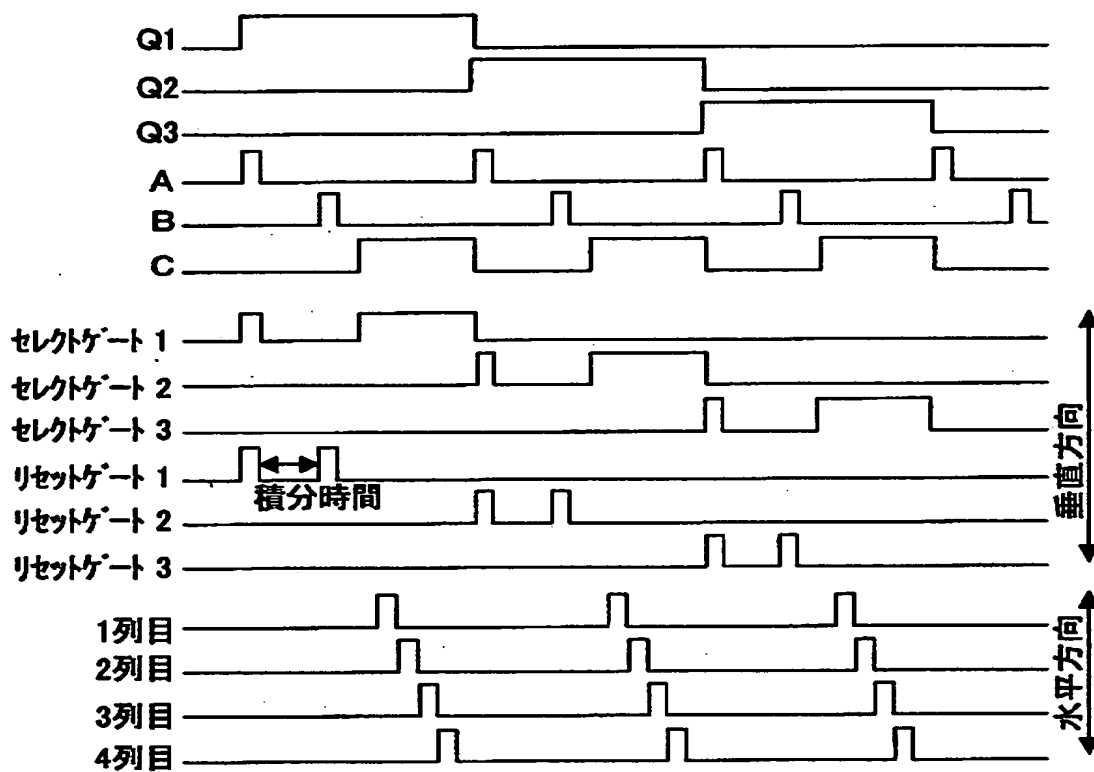
垂直走査シフトレジスタ/リセット制御回路のブロック図





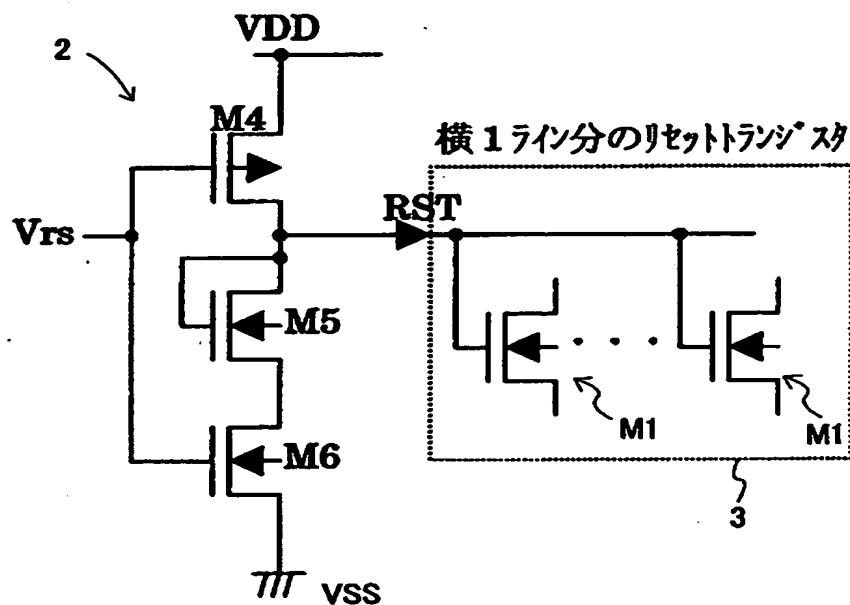
【図4】

MOSセンサのタイミングチャートを示した図



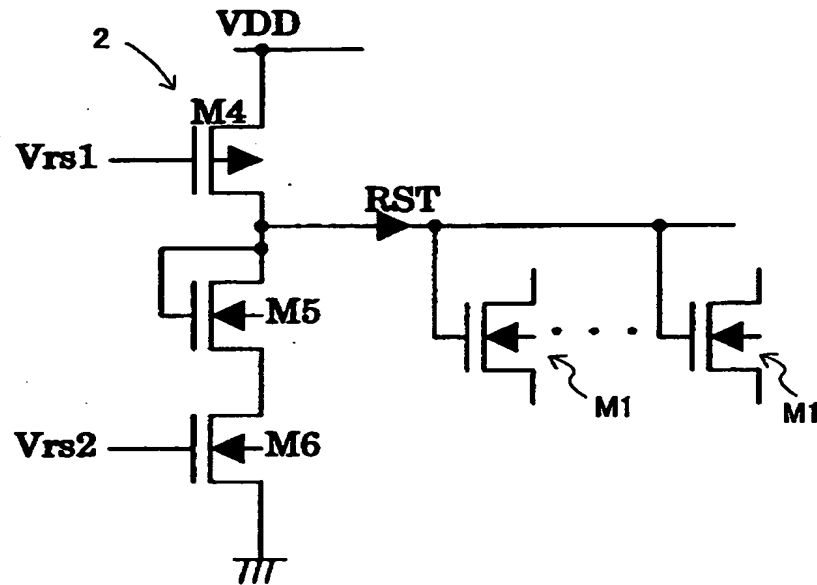
【図5】

本発明に係るCMOSセンサ回路の構成例1を説明するための図



【図 6】

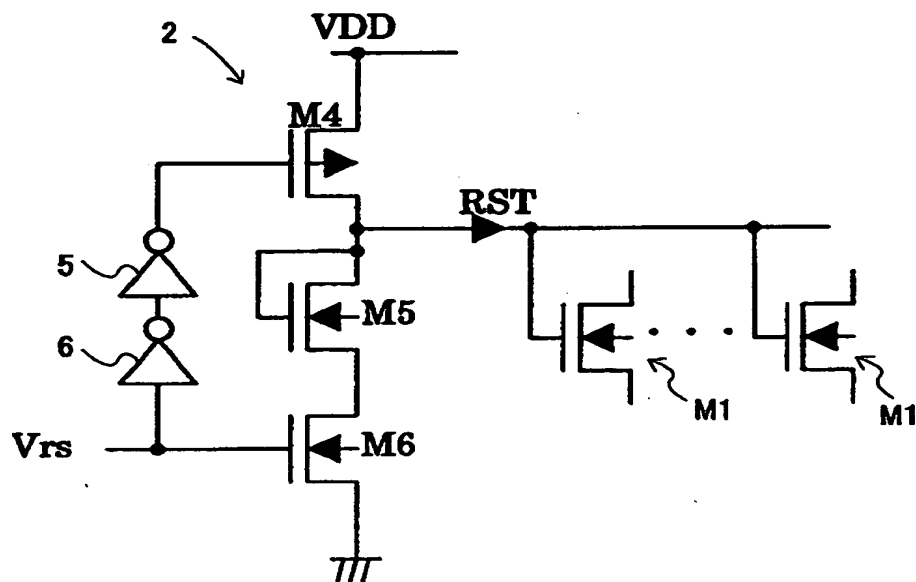
本発明に係るCMOSセンサ回路の構成例2を説明するための図





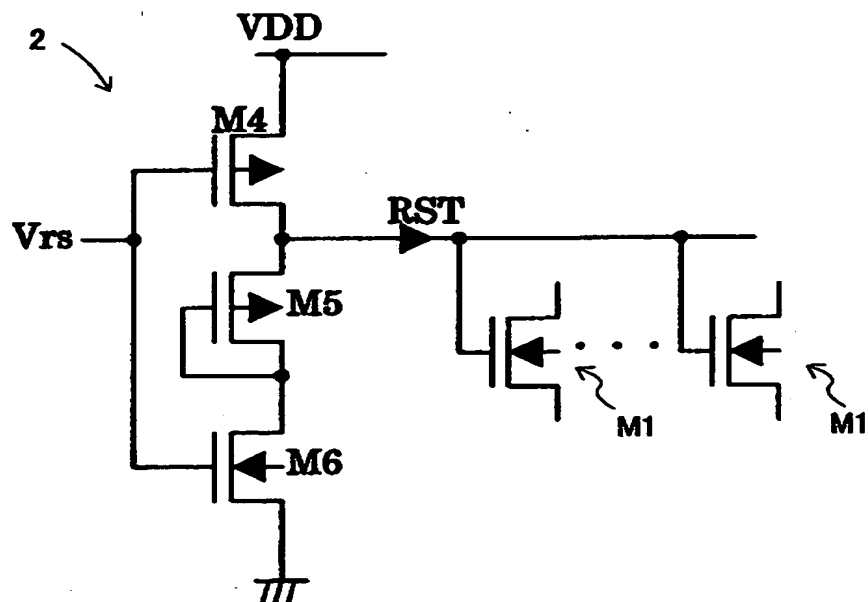
【図 8】

本発明に係る CMOS センサ回路の構成例 4 を説明するための図



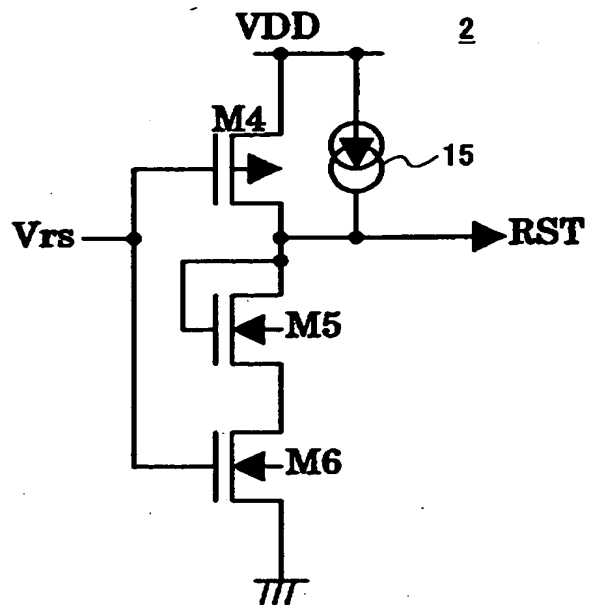
【図9】

本発明に係るCMOSセンサ回路の構成例5を説明するための図



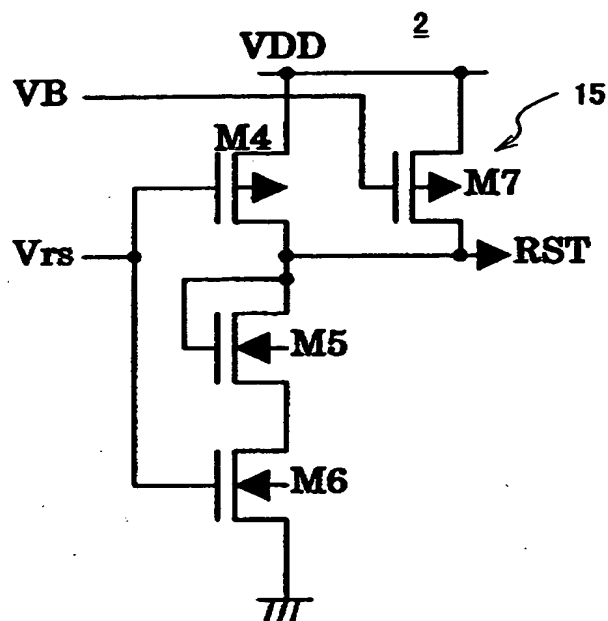
【図 1 0】

本発明に係るCMOSセンサ回路の構成例6を説明するための図



【図 11】

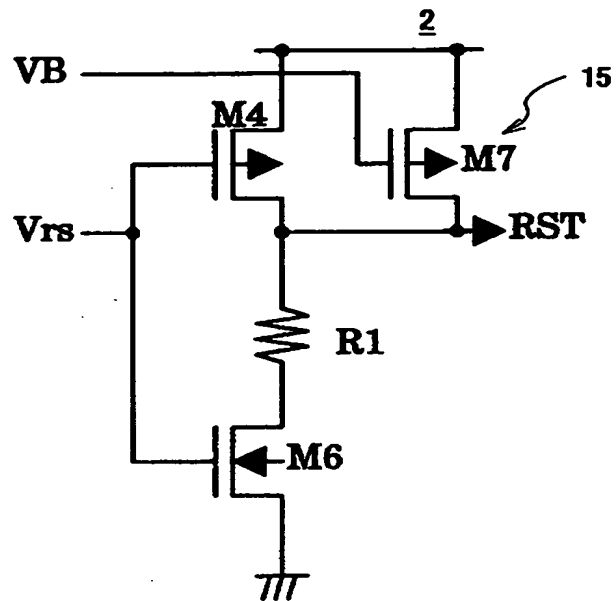
本発明に係るCMOSセンサ回路の構成例7を説明するための図





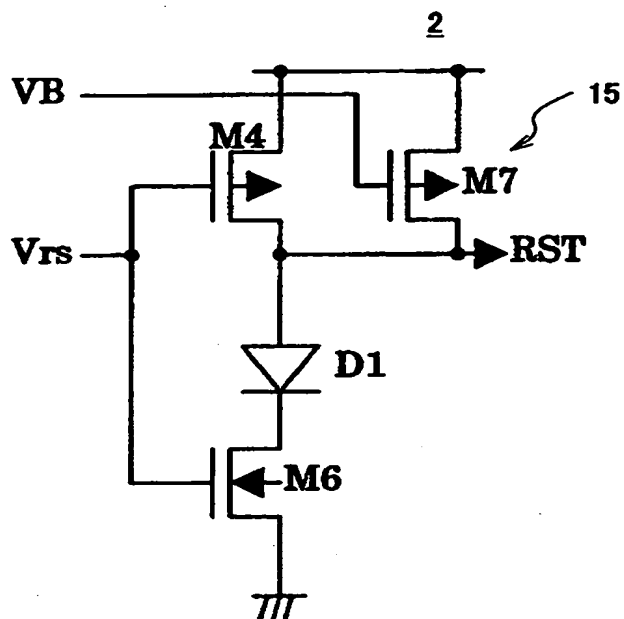
【図 1 2】

本発明に係るCMOSセンサ回路の構成例8を説明するための図



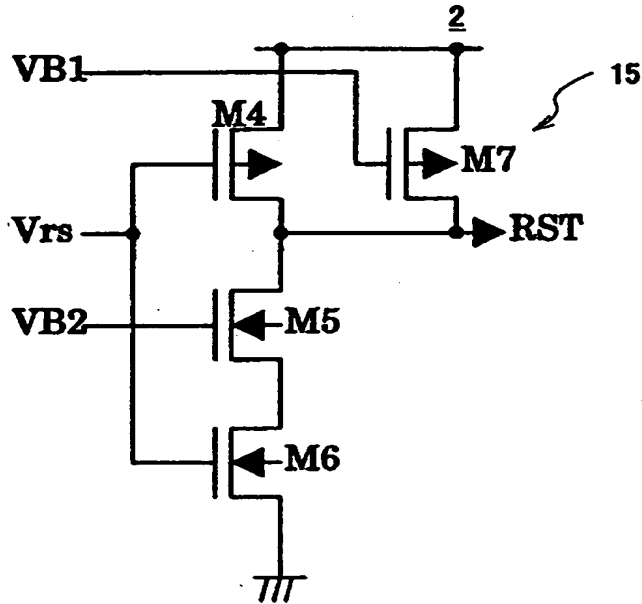
【図 1 3】

本発明に係る CMOS センサ回路の構成例 9 を説明するための図



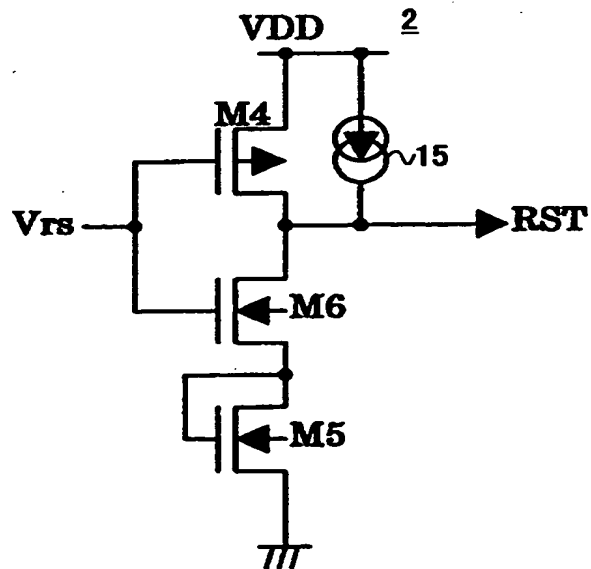
【図 14】

本発明に係るCMOSセンサ回路の構成例10を説明するための図



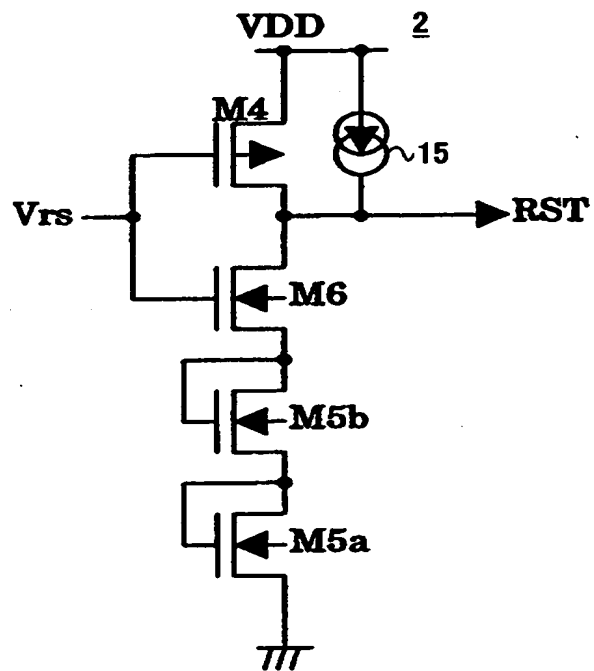
【図 15】

本発明に係るCMOSセンサ回路の構成例11を説明するための図



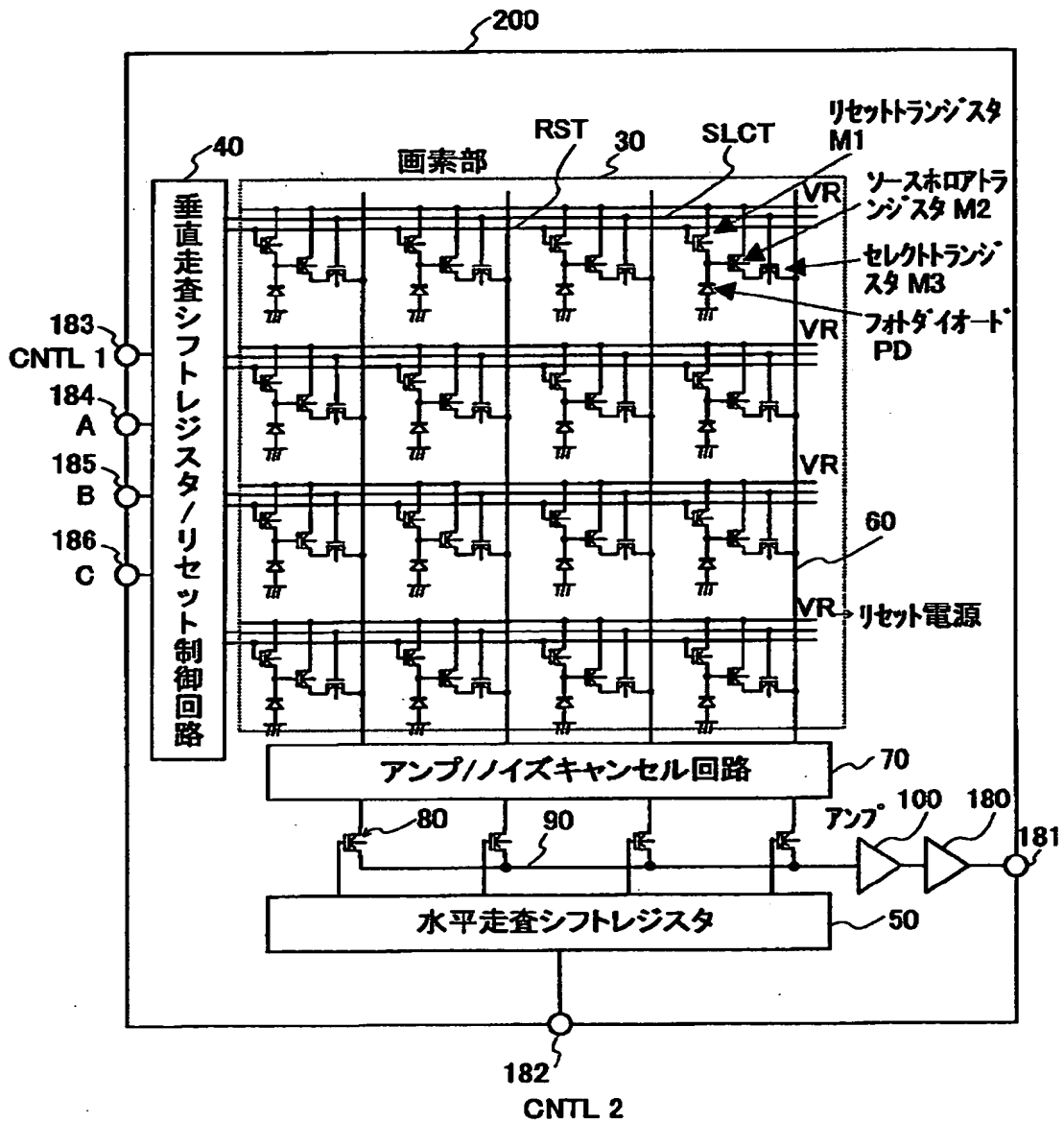
【図 16】

本発明に係るCMOSセンサ回路の構成例12を説明するための図



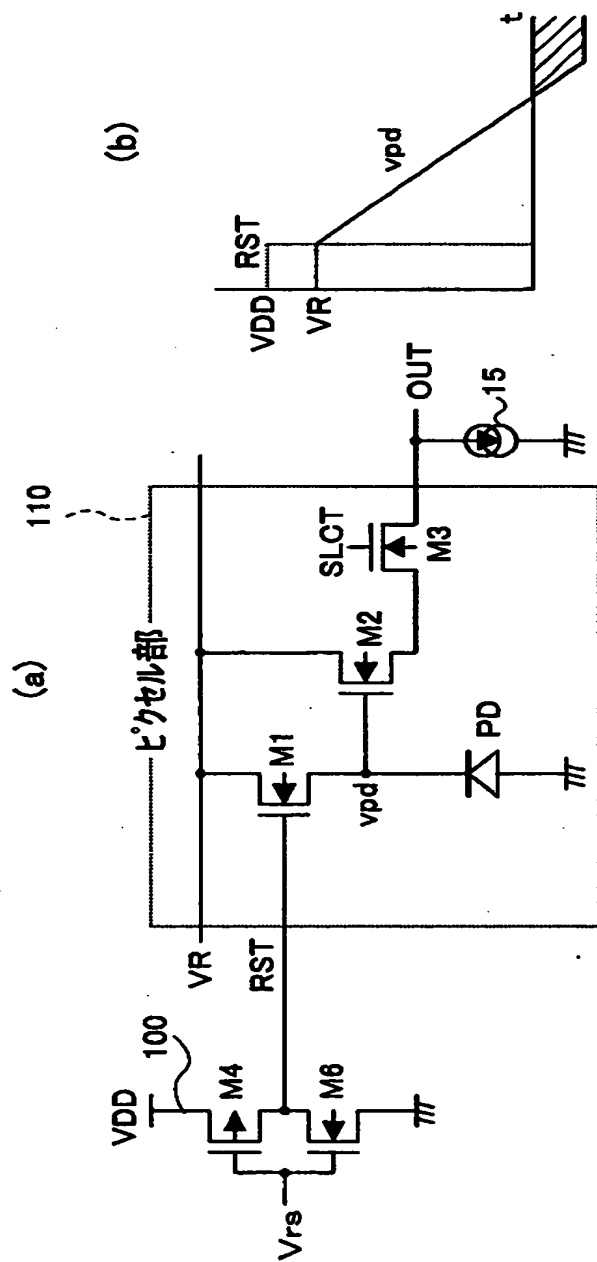
【図17】

本発明のCMOSセンサ回路を搭載したICチップの全体概略構成図



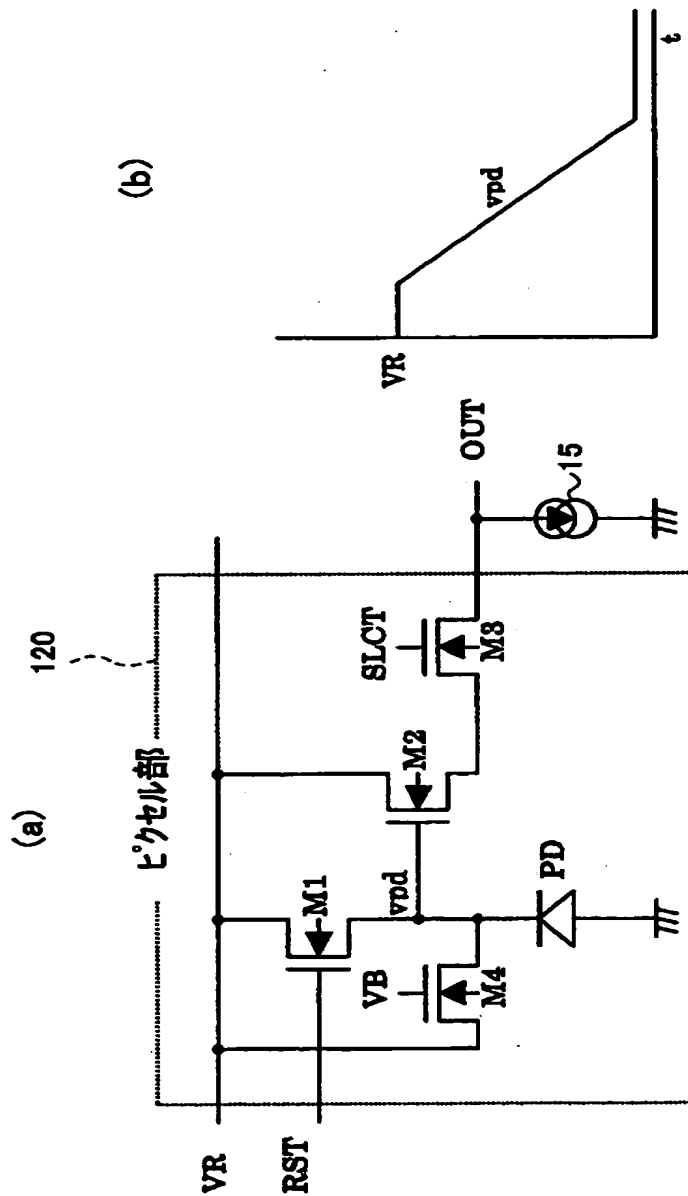
【図 18】

従来のCMOSセンサ回路の構成例1を示した図



【図19】

従来のCMOSセンサ回路の構成例2を示した図



【書類名】 要約書

【要約】

【課題】 本発明は、画素部の素子数を増やすことなく、ブルーミングを抑制することが可能なCMOSセンサ回路を提供することを目的とする。

【解決手段】 フォトダイオードPDと、フォトダイオードPDを初期電圧にリセットするリセットトランジスタM1とを少なくとも備えたCMOSセンサ回路において、CMOSセンサ回路は、電圧制御回路2を備え、電圧制御回路2は、PチャネルMOSトランジスタM4のドレインと、NチャネルMOSトランジスタM6のドレインとの間に、ブルーミング制御用トランジスタM5を挿入したことを特徴とする。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社